

# 8. CIRCUITOS DIGITALES INTEGRADOS: FAMILIAS LÓGICAS

## 8. CIRCUITOS DIGITALES INTEGRADOS: FAMILIAS LÓGICAS

### 8.1 Circuitos digitales integrados. Características generales de las principales familias.

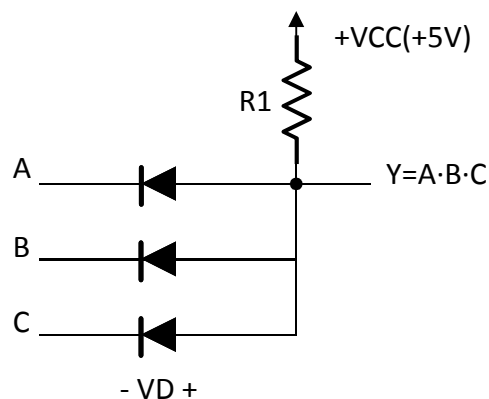
- Introducción
- La puerta NAND 74'00
- Nomenclatura y encapsulado de los circuitos digitales integrados.
- Características o parámetros generales de los circuitos digitales.
- Conectividad entre diferentes tecnologías
- La familia TTL y subfamilias

## • Puertas lógicas con diodos

A la hora de diseñar circuitos integrados para puertas lógicas, lo lógico es recurrir a los componentes electrónicos más sencillos, como el diodo

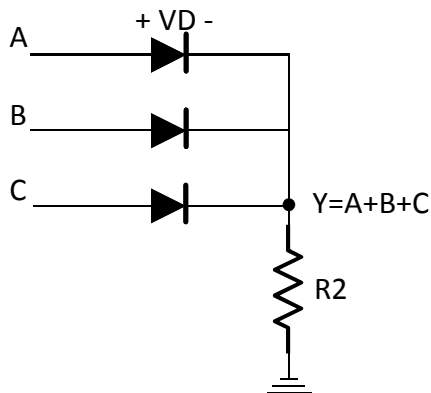
El diodo semiconductor tiene dos estados: conducción (ON) y no conducción (OFF)

Puerta AND con diodos empleando lógica positiva (L=0 y H=1):



A	B	C	Y
L (0V)	L (0V)	L (0V)	L (VD)
L (0V)	L (0V)	H (+VCC)	L (VD)
L (0V)	H (+VCC)	L (0V)	L (VD)
L (0V)	H (+VCC)	H (+VCC)	L (VD)
H (+VCC)	L (0V)	L (0V)	L (VD)
H (+VCC)	L (0V)	H (+VCC)	L (VD)
H (+VCC)	H (+VCC)	L (0V)	L (VD)
H (+VCC)	H (+VCC)	H (+VCC)	H (+VCC)

Puerta OR con diodos empleado lógica positiva (L=0 y H=1):



A	B	C	Y
L (0V)	L (0V)	L (0V)	L (VD)
L (0V)	L (0V)	H (+VCC)	H (+VCC)
L (0V)	H (+VCC)	L (0V)	H (+VCC)
L (0V)	H (+VCC)	H (+VCC)	H (+VCC)
H (+VCC)	L (0V)	L (0V)	H (+VCC)
H (+VCC)	L (0V)	H (+VCC)	H (+VCC)
H (+VCC)	H (+VCC)	L (0V)	H (+VCC)
H (+VCC)	H (+VCC)	H (+VCC)	H (+VCC)

Leyenda:

+VCC = alimentación

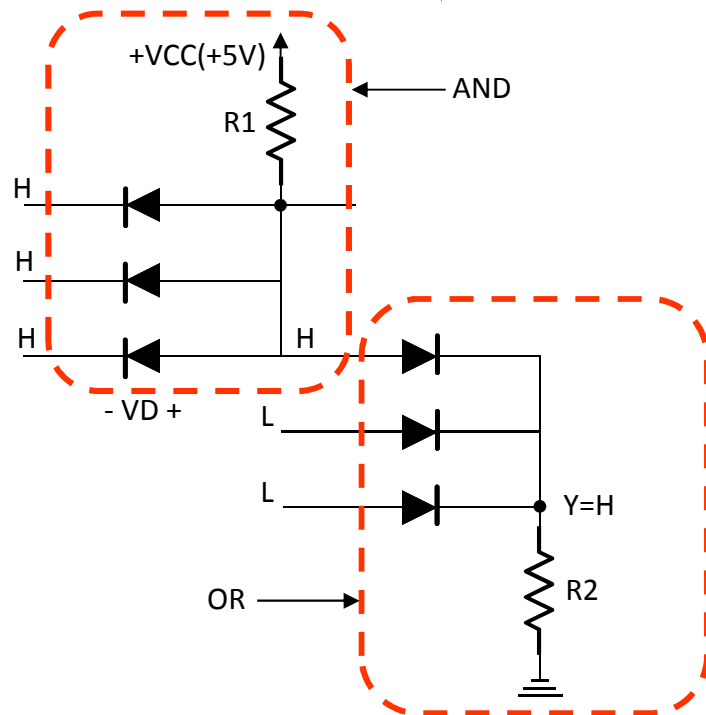
VD = tensión del diodo en conducción

- Puertas lógicas con diodos - limitaciones**

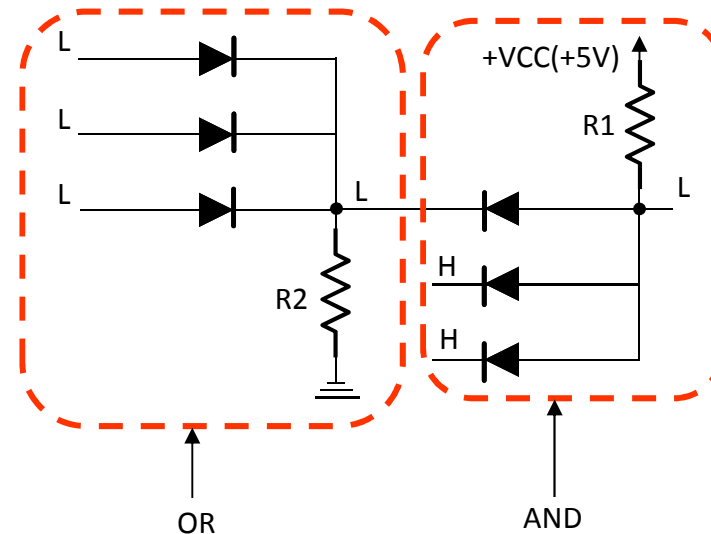
No es posible realizar una puerta NOT con diodos

No se pueden conectar puertas AND y OR realizadas con diodos (se demuestra a continuación):

En una AND con las tres entradas a H, su salida es H.  
Si se conecta la salida de la AND a una entrada de una OR de tres entradas, y las otras dos entradas de la OR son L, para que la salida sea H  $\Rightarrow R2 \gg R1$



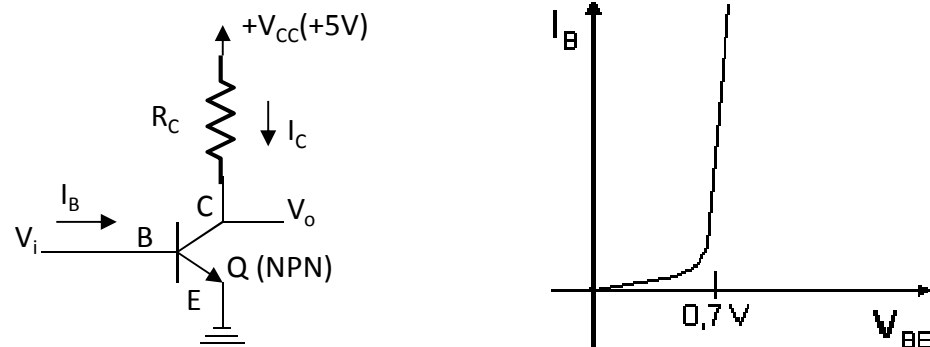
En una OR con las tres entradas a L, su salida es L.  
Si se conecta la salida de la OR a una entrada de una AND de tres entradas, y las otras dos entradas de la AND son H, para que la salida sea L  $\Rightarrow R1 \gg R2$



**Conclusión:** para conectar AND con OR de distintas maneras unas veces R1 debe ser mucho mayor que R2 y otras veces R1 debe ser mucho menor que R2. Necesitamos puertas que valgan para todas las situaciones. Y además falta implementar la puerta NOT. Todo esto se logra con el transistor, célula básica de la electrónica digital y en general de toda la electrónica

- Puertas lógicas con transistores**

La puerta NOT se puede implementar de forma sencilla mediante un transistor:



Cuando la tensión base-emisor  $V_{BE}$  supera un umbral (0.6-0.7V dependiendo del modelo de transistor), el transistor conduce e  $I_B$  aumenta de forma exponencial, lo que provoca que el transistor se sature y la tensión colector emisor se sitúa en torno a los 0.2 V. Es decir,  $V_o \approx 0$

Cuando la tensión base-emisor  $V_{BE}$  es baja, el transistor no conduce (está en corte) y por tanto  $I_B$  e  $I_C$  son 0. Esto provoca que en  $R_C$  no caiga la tensión y por tanto  $V_o = V_{CC}$

Lo anterior se puede resumir en la siguiente tabla de verdad:

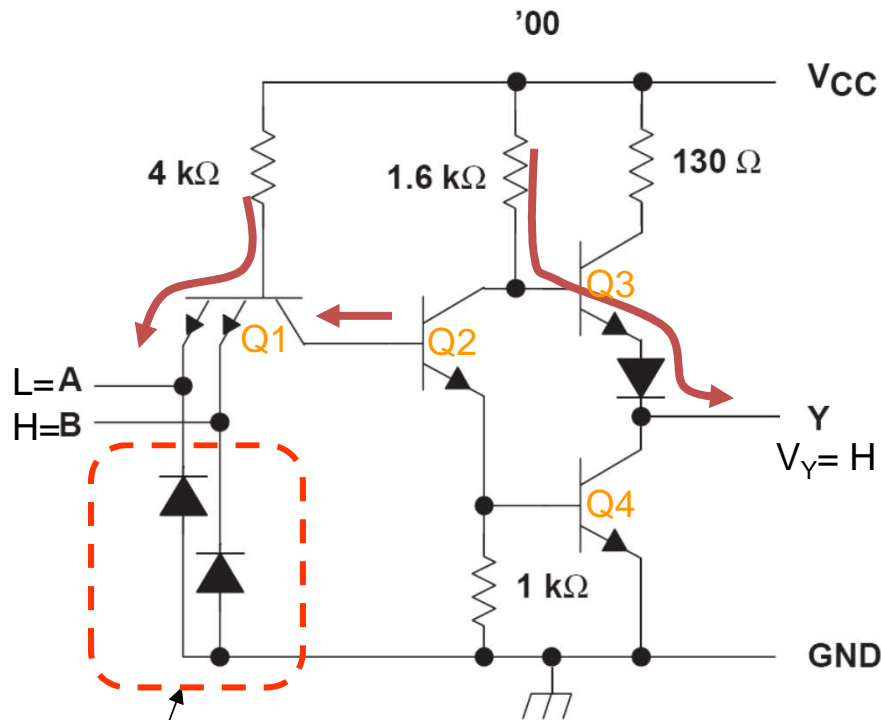
$V_i$	$V_o$	$V_L=0V$ $V_H=5V$ $\longrightarrow$	$v_i$	$v_o$	Lógica positiva $V_L=0$ $V_H=1$ $\longrightarrow$	$V_i$	$V_o$
0V	5V		$V_L$	$V_H$		0	1
5V	0V		$V_H$	$V_L$		1	0

El resto de puertas lógicas (OR, AND, NAND, NOR, XOR y NXOR), no son tan sencillas de implementar como la NOT. De ellas se verá, por constituir en sí un conjunto completo, la puerta NAND

# La puerta NAND 74'00

- Circuito de la puerta NAND 74'00

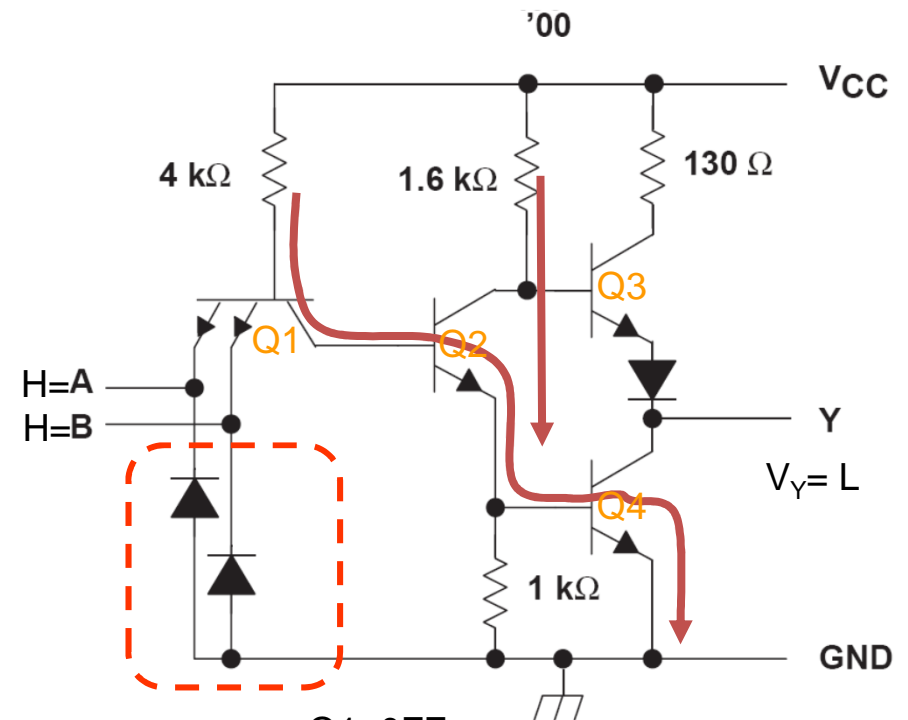
CASO 1:  
A ó B = 0



Q1=0N  
Q2=0FF  
Q3=0N  
Q4=0FF

A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

CASO 2:  
A y B = 1



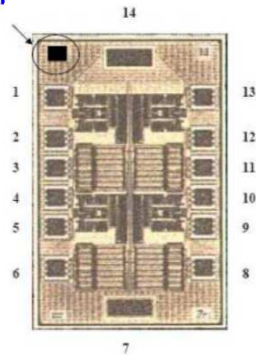
Q1=0FF  
Q2=0N  
Q3=0FF  
Q4=0N

# La puerta NAND 74'00

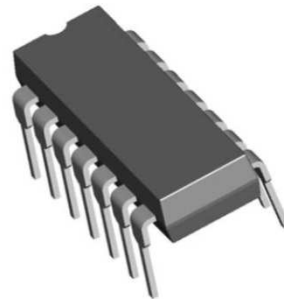
- **Encapsulado y pines del circuito 74'00**

El circuito para la puerta NAND que se acaba de mostrar es en realidad una parte del circuito que se integra en el chip 74'00 que se utiliza en la práctica 1 de la asignatura.

El circuito completo está compuesto de 4 puertas NAND (cuatro copias del circuito NAND) y además se encapsula de cara a su protección. A continuación se muestra el circuito 74'08 (de la misma familia que el 74'00), que está formado por 4 AND:

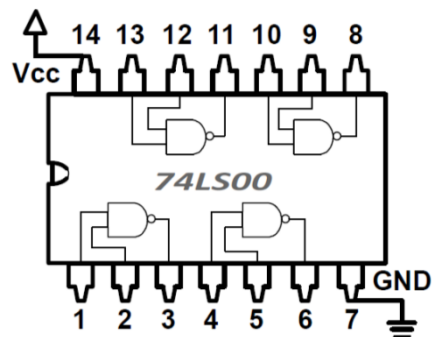


*Puerta AND cuádruple*



*Forma final del circuito una vez que ha sido encapsulado*

Los conectores llevan una numeración determinada y es **MUY IMPORTANTE** observar su esquema de conexión ya que un mal conexionado puede conllevar un funcionamiento erróneo o la destrucción del circuito



← Pines del circuito 74'00 usado en la práctica 1 de la asignatura

# Nomenclatura y encapsulado de los circuitos digitales integrados

El siguiente ejemplo servirá para entender la nomenclatura de los circuitos digitales integrados:

## → Device Names and Package Designators

### 1 Standard Prefix

Examples: SN – Standard Prefix  
SNJ – Conforms to MIL-PRF-38535 (QML)

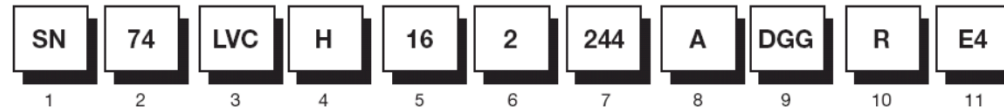
### 2 Temperature Range

Examples: 54 – Military  
74 – Commercial

### 3 Family

Examples: Blank – Transistor-Transistor Logic (TTL)  
ABT – Advanced BiCMOS Technology  
ABTE/ETL – Advanced BiCMOS Technology/  
Enhanced Transceiver Logic  
AC/ACT – Advanced CMOS Logic  
AHC/AHCT – Advanced High-Speed CMOS Logic  
ALB – Advanced Low-Voltage BiCMOS  
ALS – Advanced Low-Power Schottky Logic  
ALVC – Advanced Low-Voltage CMOS Technology  
ALVT – Advanced Low-Voltage BiCMOS Technology  
AS – Advanced Schottky Logic  
AUC – Advanced Ultra-Low-Voltage CMOS Logic  
AUP – Advanced Ultra-Low-Power CMOS Logic  
AVC – Advanced Very Low-Voltage CMOS Logic  
BCT – BiCMOS Bus-Interface Technology  
CB3Q – 2.5-V/3.3-V Low-Voltage High-Bandwidth  
Bus-Switch Crossbar Technology Logic  
CB3T – 2.5-V/3.3-V Low-Voltage Translator  
Bus-Switch Crossbar Technology Logic  
CBT – Crossbar Technology  
CBT-C – 5-V Bus-Switch Crossbar Technology  
Logic With –2-V Undershoot Protection  
CBTLV – Low-Voltage Crossbar Technology Logic  
F – F Logic  
FB – Backplane Transceiver Logic/Futurebus+  
GTL – Gunning Transceiver Logic  
GTLF – Gunning Transceiver Logic Plus  
HC/HCT – High-Speed CMOS Logic  
HSTL – High-Speed Transceiver Logic  
LS – Low-Power Schottky Logic  
LV-A – Low-Voltage CMOS Technology  
LV-AT – Low-Voltage CMOS Technology –  
TTL Compatible  
LVC – Low-Voltage CMOS Technology  
LVT – Low-Voltage BiCMOS Technology  
PCA/PCF – I<sup>2</sup>C Inter-Integrated Circuit Applications  
S – Schottky Logic  
SSTL – Stub Series-Terminated Logic  
SSTU – Stub Series-Terminated Ultra-Low-Voltage Logic  
SSTV/SSTVF – Stub Series-Terminate Low-Voltage Logic  
TVC – Translation Voltage Clamp Logic  
VME – VERSAmodule Eurocard Bus Technology

Example:



### 4 Special Features

Examples: Blank = No Special Features  
C – Configurable VCC (LVCC)  
D – Level-Shifting Diode (CBTD)  
H – Bus Hold (ALVCH) Circuitry (CBTK)  
K – Undershoot-Protection Ports (LVCR)  
R – Damping Resistor on Both Output  
S – Schottky Clamping Diode (CBTS)  
Z – Power-Up 3-State (LVCZ)

### 5 Bit Width

Examples: Blank = Gates, MSI, and Octals  
1G – Single Gate  
2G – Dual Gate  
3G – Triple Gate  
8 – Octal IEEE 1149.1 (JTAG)  
16 – Widebus (16-, 18- and 20-bit)  
18 – Widebus IEEE 1149.1 (JTAG)  
32 – Widebus+ (32- and 36-bit)

### 6 Options

Examples: Blank = No Options Output Port  
2 – Series Damping Resistor on One  
4 – Level Shifter  
25 – 25-Ω Line Driver

### 7 Function

Examples: 244 – Noninverting Buffer/Driver  
374 – D-Type Flip-Flop  
573 – D-Type Transparent Latch  
640 – Inverting Transceiver

### 8 Device Revision

Examples: Blank = No Revision  
Letter Designator A–Z

### 9 Packages

Commercial: D, DW – Small-Outline Integrated Circuit (SOIC)  
DB, DBQ, DCT, DL – Shrink Small-Outline Package  
(SSOP)  
DBB, DGV – Thin Very Small-Outline Package (TVSOP)  
DBQ – Quarter-Size Small-Outline Package (QSOP)  
DBV, DCK, DCY, PK – Small-Outline Transistor (SOT)  
DCU – Very Thin Shrink Small-Outline Package (VSSOP)  
DGG, PW – Thin Shrink Small-Outline Package (TSSOP)  
FN – Plastic Leaded Chip Carrier (PLCC)  
GGM, GKE, GKF, ZKE, ZKF – MicroStar BGA™  
Low-Profile Fine-Pitch Ball Grid Array (LFBGA)  
GQL, GQN, ZQL, ZQN, ZXU, ZXY – MicroStar Junio™  
Very-Thin-Profile Fine-Pitch Ball Grid Array (VFBGA)  
N, NT, P – Plastic Dual-In-Line Package (PDIP)  
NS, PS – Small-Outline Package (SOP)  
PAG, PAH, PCA, PCB, PM, PN, PZ – Thin Quad  
Flatpack (TQFP)  
PH, PQ, RC – Quad Flatpack (QFP)  
PZA – Low-Profile Quad Flatpack (LQFP)  
RGQ, RGY, DRY, RSE, RSW, DRJ, DRC, RGE –  
Quad Flatpack No Lead (QFN)  
YZP – NanoStar™ and NanoFree™ Die-Size  
Ball Grid Array (DSBGA†)  
Military: FK – Leadless Ceramic Chip Carrier (LCCC)  
GB – Ceramic Pin Grid Array (CPGA)  
HFP, HS, HT, HV – Ceramic Quad Flatpack (CQFP)  
J, JT – Ceramic Dual-In-Line Package (CDIP)  
W, WA, WD – Ceramic Flatpack (CFP)

### 10 Tape and Reel

R – Tape and reel packing (standard reel quantities)  
T – Tape and reel packing (short reel, 250 units)

### 11 RoHS and Green Status

E<sub>-</sub> – Conforms to JEDEC JESD97 E-Category specification for  
Pb-free and reduced environmentally unfriendly substances  
G<sub>-</sub> – Additional reductions in environmentally unfriendly substances  
(Sb and Br) in addition to E<sub>-</sub> reductions

† DSBGA is the JEDEC reference for wafer chip scale package (WCSP).



# Nomenclatura y encapsulado de los circuitos digitales integrados

Otro ejemplo de la nomenclatura de los circuitos digitales integrados:

**Packaging and Marking Information**

**Logic Products Formerly Offered by Harris Semiconductor**

Example:

CD	74	FCT	245	A	E	E4
1	2	3	4	5	6	7

**1 Prex Designation for Acquired Harris Digital Logic**  
Example: 74 – Commercial (0°C to 70°C)

**2 Temperature Range**  
Example: 74 – Commercial (0°C to 70°C)

**3 Family**  
Example: FCT – Bus Interface, TTL Input Levels

**4 Type Designation**  
Up to Five Digits

**5 Speed Grade**  
Example: Blank or A – Standard Equivalent to FAST™

**6 Packages**  
Examples: E – Plastic Dual-In-Line Package (DIP)  
EN – Plastic Slim-Line 24-Lead DIP  
F – Ceramic DIP  
M – Plastic Surface-Mount  
Small-Outline Integrated Circuit (SOIC)  
SM – Plastic Shrink SOIC (SSOP)  
M96 – Reeled Plastic Surface-Mount SOIC  
SM96 – Reeled Plastic Shrink SOIC (SSOP)

**7 RoHS and Green Status**  
E\_ – Conforms to JEDEC JESD97 E-Category specification for Pb-free and reduced environmentally unfriendly substances  
G\_ – Additional reductions in environmentally unfriendly substances (Sb and Br) in addition to E\_ reductions

Si analizamos la pastilla NAND SN74LS00N del distribuidor Farnell (<http://bit.ly/1suq8j1>):

1: fabricante: SN – Texas instruments (la lista completa de fabricantes en la siguiente diapositiva)

2: rango de temperaturas de trabajo: 74, que indica de 0 a 70°C (si fuera 54 indica de -55 y 125°C)

3: familia de dispositivos: LS, que significa Low Schottky (lo veremos en las diapositivas finales)

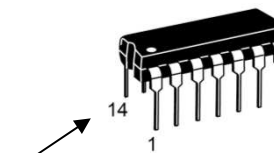
4,5,6: en blanco – sin opciones

7: función del dispositivo: 00 (puertas NAND)

8: revisión: en blanco (luego es la primera versión)

9: tipo de encapsulado: N, que significa plástico y con esta geometría

10,11: enpaquetado y protección ambiental: en blanco (sin protección ambiental y enpaquetado estándar)



# Nomenclatura y encapsulado de los circuitos digitales integrados

---

Siglas de los fabricantes de circuitos integrados (aparecen al principio de la nomenclatura en el chip):

<b>AD</b> ; Analog Devices	<b>HM</b> ; Hitachi	<b>QSI</b> ; Quality Semiconductor
<b>AM</b> ; Advanced Micro Devices	<b>HY</b> ; Hyundai	<b>SA</b> ; Signetics
<b>AT</b> ; Atmel	<b>HYB</b> ; Siemens	<b>SD</b> ; SGS Thomson
<b>bq</b> ; Benchmark	<b>IDT</b> ; Integrated Devices Technology, IDT	<b>SE</b> ; Signetics
<b>CA</b> ; RCA (analog)	<b>IRF</b> ; International Rectifier	<b>SEC</b> ; Samsung Electronics
<b>CD</b> ; RCA (digital)	<b>IP</b> ; Integrated Power	<b>SG</b> ; Silicon General
<b>CLC</b> ; Comlinear Corp.	<b>IT</b> ; Micron	<b>SI</b> ; Siliconix
<b>CS</b> ; Crystal Semiconductor	<b>HI</b> ; Intersil [Harris]	<b>SN</b> ; Texas Instruments, TI (Standard commercial grade parts)
<b>CS</b> ; Cherry Semiconductor	<b>LGS</b> ; Goldstar	<b>SNJ</b> ; Texas Instruments, TI (MIL/QML Qualified)
<b>CY</b> ; Cypress Semiconductor	<b>LM</b> ; National	<b>SPT</b> ; Signal Processing Technologies, SPT
<b>DG</b> ; Siliconix	<b>M</b> ; Mitsubishi	<b>SSD</b> ; Samsung Electronics
<b>DS</b> ; Dallas Semiconductor	<b>MACH</b> ; Vantis (MACH, PLD)	<b>SU</b> ; Signetics
<b>DM</b> ; National Semiconductor (digital)	<b>MAX</b> ; Maxim	<b>SY</b> ; Synergy Semiconductor
<b>EDI</b> ; Electronic Designs Inc, EDI	<b>MB</b> ; Fujitsu	<b>TA</b> ; Toshiba
<b>EL</b> ; Elantec	<b>MC</b> ; Motorola	<b>TC</b> ; Toshiba
<b>EP</b> ; Altera (Classic series)	<b>MN</b> ; Micro Networks	<b>TD</b> ; Pro-Electronics
<b>EPC</b> ; Altera (EPROM)	<b>MT</b> ; Micron Technology	<b>TL</b> ; Texas Instruments (analog, Linear)
<b>EPF</b> ; Altera (Flex series)	<b>NDS</b> ; National Semiconductor	<b>TMS</b> ; Texas Instruments
<b>EPM</b> ; Altera (MAX series)	<b>NE</b> ; Signetics	<b>X</b> ; Xicor
<b>GM</b> ; Goldstar	<b>NEC</b> ; NEC	<b>XC</b> ; Xilinx
<b>HA</b> ; Hitachi (analog)	<b>OKI</b> ; Oki Data	<b>XR</b> ; Exar Corp.
<b>HAT</b> ; Hitachi	<b>MC</b> ; ON Semiconductor [Motorola]	<b>uA</b> ; Fairchild
<b>HD</b> ; Hitachi (digital)	<b>PI</b> ; Pericom	<b>UC</b> ; Unitrode Integrated Circuits
<b>HEF</b> ; Philips	<b>PM</b> ; PMI "Analog Devices"	<b>Z</b> ; Zilog
<b>HI</b> ; Harris	<b>PWM</b> ; Siliconix	<b>ZD</b> ; Zeltex
<b>HM</b> ; Harris Microwave	<b>QL</b> ; Quick Logic	

# Nomenclatura y encapsulado de los circuitos digitales integrados

Los encapsulados varían dependiendo del fabricante. Acabamos de ver que el encapsulado N de Texas Instruments no se encuentra entre los de RCA digital. Los de Texas (<http://bit.ly/1tzevKb>) son:

<b>BGA</b> Ball Grid Array	<b>FC/CSP</b> Flip Chip / Chip Scale Package	<b>LCCC</b> Leadless Ceramic Chip Carrier	<b>QFP</b> Quad Flat Package	<b>TVFLGA</b> Thin Very-Fine Land Grid Array
<b>CBGA</b> Ceramic Ball Grid Array	<b>HLOFP</b> Thermally Enhanced Low Profile QFP	<b>PDIP</b> Plastic Dual-In-Line Package	<b>SIP</b> Single-In-Line Package	<b>TVSOP</b> Very Thin Small-Outline Package
<b>CDIP</b> Glass-Sealed Ceramic Dual In-Line Package	<b>HOFP</b> Thermally Enhanced Quad Flat Package	<b>PFM</b> Plastic Flange Mount Package	<b>SOJ</b> J-Leaded Small-Outline Package	<b>VOFP</b> Very Thin Quad Flat Package
<b>CDIP SB</b> Side-Braze Ceramic Dual In-Line Package	<b>HSOP</b> Thermally Enhanced Small-Outline Package	<b>QFP</b> Quad Flat Package	<b>SOP</b> Small-Outline Package (Japan)	
<b>CFP</b> Both Formed and Unformed CFP	<b>HTQFP</b> Thermally Enhanced Thin Quad Flat Pack	<b>SIP</b> Single-In-Line Package	<b>SSOP</b> Shrink Small-Outline Package	
<b>CPGA</b> Ceramic Pin Grid Array	<b>HTSSOP</b> Thermally Enhanced Thin Shrink Small-Outline Package	<b>SOJ</b> J-Leaded Small-Outline Package	<b>TFP</b> Triple Flat Pack	
<b>CZIP</b> Ceramic Zig-Zag Package	<b>HVQFP</b> Thermally Enhanced Very Thin Quad Flat Package	<b>SOP</b> Small-Outline Package (Japan)	<b>TO/SOT</b> Cylindrical Package	
<b>Description</b> Description of package type.	<b>JEDEC</b> The JEDEC Standard for this package type.	<b>SSOP</b> Shrink Small-Outline Package	<b>TOFP</b> Thin Quad Flat Package	
<b>DFP</b> Dual Flat Package	<b>JLCC</b> J-Leaded Ceramic or Metal Chip Carrier	<b>TFP</b> Triple Flat Pack	<b>TSSOP</b> Thin Shrink Small-Outline Package	

Cada encapsulado tiene uno o varios códigos dependiendo de los pines y de las dimensiones del chip  
 Por ejemplo el PDIP incluye estos códigos entre los que se encuentra el encapsulado N del chip SN74LS00N:

**PDIP** | N, NAM, NBG, NE, NFF, NFG, NFH, NFJ, NFK, NSQ, NT, NTA, NTC, NTD, NTG,  
 NVA, NVE, NVF, NVG, NVJ, NVL, NVM, NVP, NVQ, P

Para más información sobre el resto de correspondencias consultar: <http://bit.ly/XOKA59>

# Características o parámetros generales de los circuitos digitales

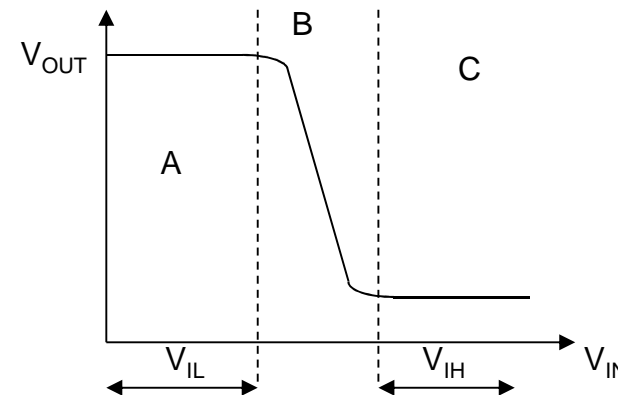
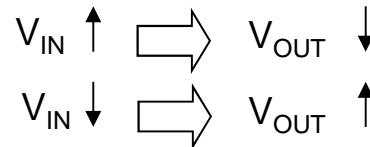
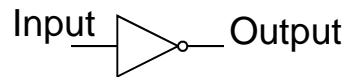
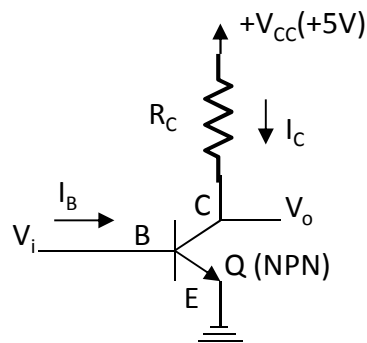
- **Listado de características generales más importantes en circuitos digitales**

1. Característica de transferencia: niveles de tensión
2. Características de entrada y salida: Fan-out y Fan-in
3. Ruido: márgenes de ruido o inmunidad al ruido
4. Consumo: potencia consumida
5. Conmutación: tiempo de retardo y velocidad
6. Producto consumo por tiempo de retardo
7. Flexibilidad lógica

## 1. Característica de transferencia: niveles de tensión

Relación entre la tensión de entrada y la de salida ( $V_i - V_o$ )

Ejemplo: puerta NOT:



Los fabricantes dan unos márgenes de tensiones que garantizan el correcto funcionamiento del circuito:

$V_{IL}$ : margen permitido a la entrada correspondiente al nivel L=0 (LP), que garantiza a la salida nivel H=1

$V_{IH}$ : margen permitido a la entrada correspondiente al nivel H=1 (LP), que garantiza a la salida nivel L=0

# Características o parámetros generales de los circuitos digitales

## 1. Característica de transferencia: niveles de tensión

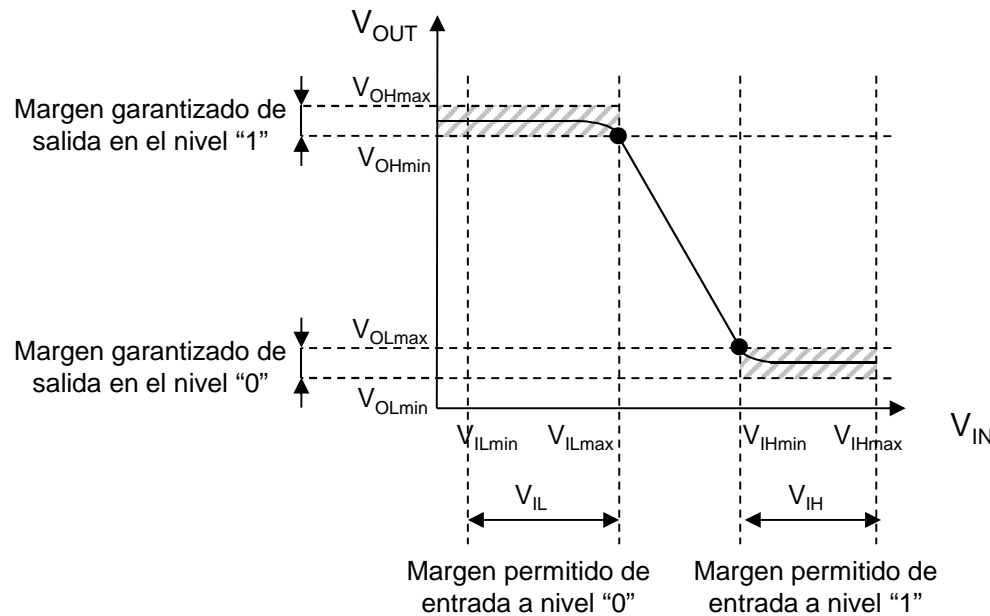
Además de los márgenes  $V_{IL}$  y  $V_{IH}$ , las hojas de características del circuito proporcionan:

$V_{ILmax}$ : máxima tensión de entrada permitida en el estado L

$V_{IHmin}$ : mínima tensión de entrada permitida en el estado H

$V_{OLmax}$ : máxima tensión de salida garantizada en el estado L

$V_{OHmin}$ : mínima tensión de salida garantizada en el estado H



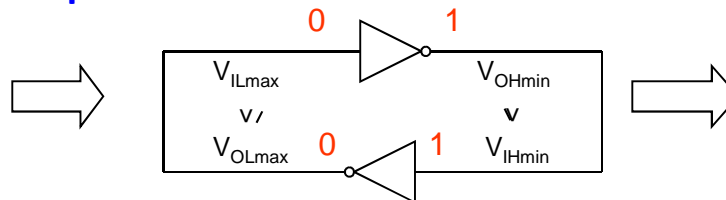
Normalmente:

$V_{OHmax}$  y  $V_{IHmax} = V_{CC}$  (alimentación)

$V_{OLmin}$  y  $V_{ILmin} = 0V$

## Condiciones de compatibilidad de tensiones:

Conexión de 2 puertas NOT



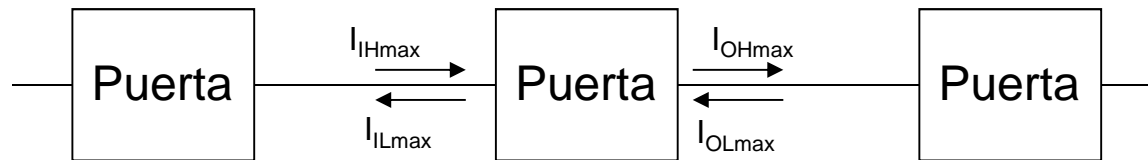
$$V_{OHmin} \geq V_{IHmin}$$

$$V_{OLmax} \leq V_{ILmax}$$

# Características o parámetros generales de los circuitos digitales

## 2. Características de entrada y salida: FAN-OUT y FAN-IN

En los circuitos integrados además de las tensiones son importantes las corrientes de entrada y de salida en cada estado (L=0 o H=1):



$I_{IHmax}$ : máxima corriente de entrada requerida en estado H

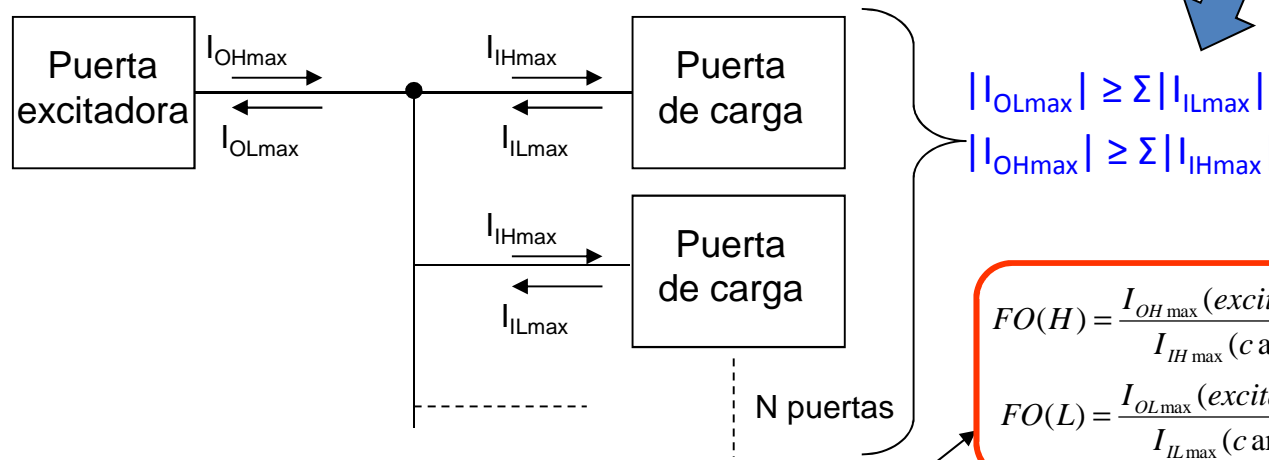
$I_{ILmax}$ : máxima corriente de entrada requerida en el estado L

$I_{OHmax}$ : máxima corriente de salida garantizada en el estado H

$I_{OLmax}$ : máxima corriente de salida garantizada en el estado L

Si la corriente entra en la puerta, su signo es positivo y si sale de la puerta, es negativo  
Aunque para las condiciones de compatibilidad el signo no afecta

### Condiciones de compatibilidad en corriente:



$$|I_{OLmax}| \geq \sum |I_{ILmax}|$$

$$|I_{OHmax}| \geq \sum |I_{IHmax}|$$

$$FO(H) = \frac{I_{OHmax}(excitadora)}{I_{IHmax}(c\ arg\ a)}$$

$$FO(L) = \frac{I_{OLmax}(excitadora)}{I_{ILmax}(c\ arg\ a)}$$

$$FO = \text{mínimo}\{FO(H), FO(L)\}$$

FAN-OUT de una puerta excitadora: nº máximo de puertas que pueden conectarse a su salida

FAN-IN de una puerta de carga: medida de cuánto carga una de sus puertas de carga a la puerta excitadora

# Características o parámetros generales de los circuitos digitales

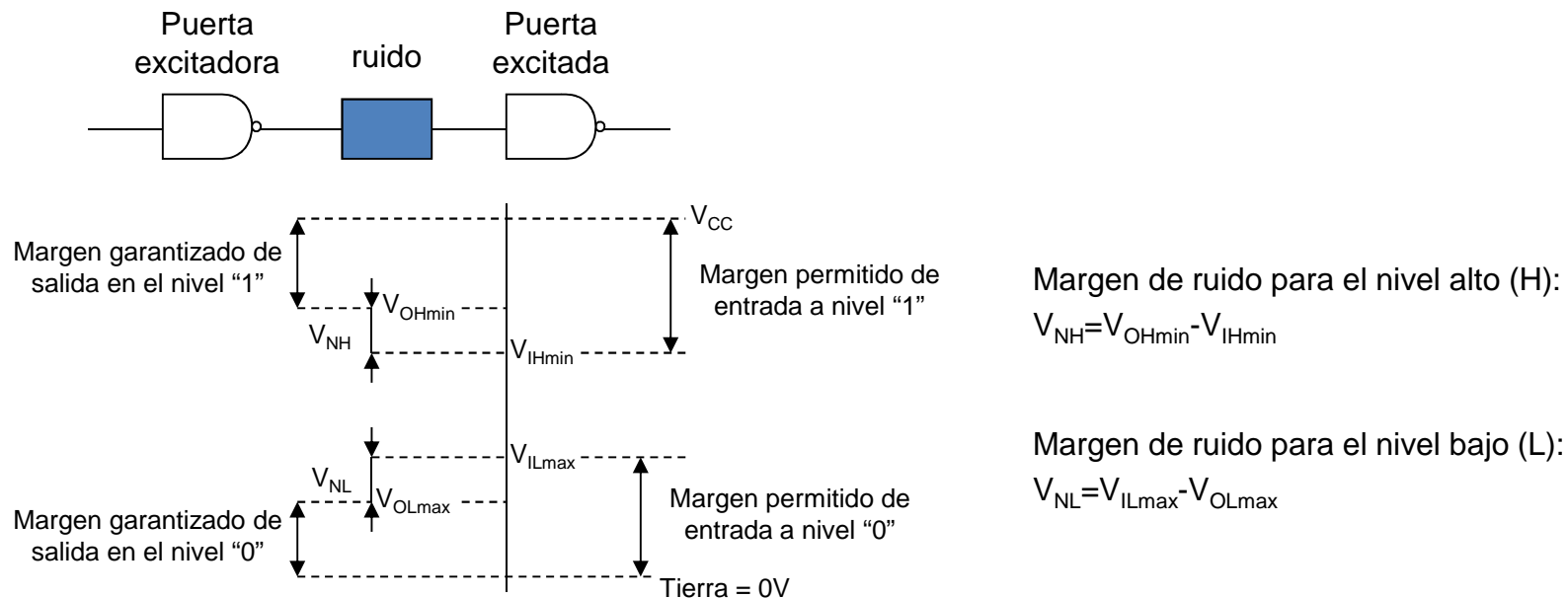
## 3. Ruido: márgenes de ruido o inmunidad al ruido

Ruido: perturbación (tensión) que puede producir un cambio de estado, no deseado, en la puerta

Causas: chispas, alimentación, acoplos, etc.

Es fundamentalmente una perturbación variable en el tiempo.

a) Ruido en continua (DC): cuando los pulsos perturbadores son mucho más largos que los pulsos de trabajo



b) Ruido en alterna (AC): cuando los pulsos perturbadores son mucho menos largos que los pulsos de trabajo. El pulso afecta dependiendo de su duración y amplitud

# Características o parámetros generales de los circuitos digitales

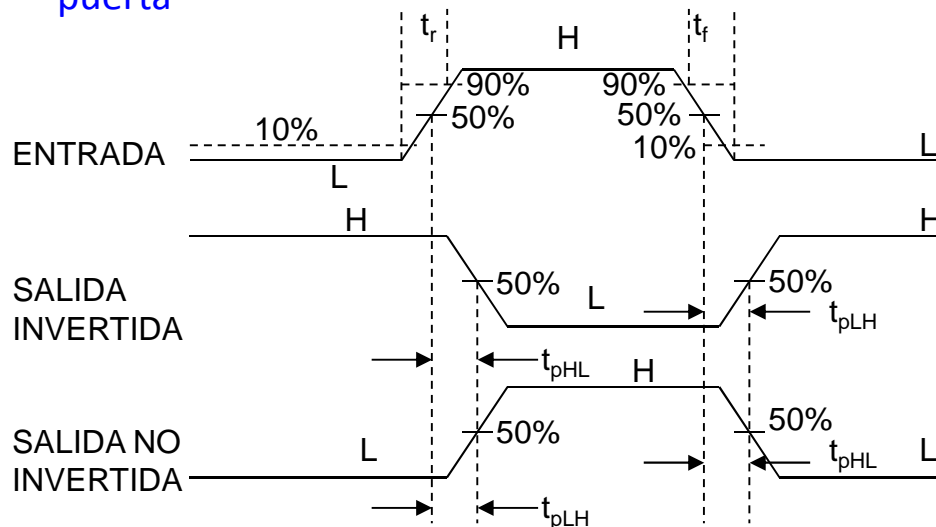
## 4. Consumo: potencia consumida

Se mide en mW e interesa que sea pequeña. Se define bajo condiciones de un ciclo de trabajo del 50%

## 5. Conmutación: tiempo de retardo y velocidad

La salida no cambia instantáneamente con la entrada

a) retardo de propagación: tiempo que tarda la señal en propagarse desde la entrada a la salida de la puerta



$t_r$ : tiempo de subida (L->H)

$t_f$ : tiempo de bajada (H->L)

$t_{pHL}$ : retardo de propagación (H->L en la salida - puesta en ON)

$t_{pLH}$ : retardo de propagación (L->H en la salida - puesta en OFF)

Retardo medio de dos puertas inversoras del mismo tipo:

$$t_{pd} = \frac{t_{pLH} + t_{pHL}}{2}$$

b) velocidad de conmutación (MHz): máxima frecuencia de utilización de un biestable realizado con esa familia lógica

## 6. Producto consumo por tiempo de retardo

Normalmente cuando se consigue aumentar la velocidad de un circuito (disminuir el tiempo de retardo), la potencia consumida aumenta. Por eso el reto es reducir el producto consumo por tiempo de retardo



## Conectividad entre diferentes tecnologías

Para determinar si dos tecnologías de circuitos integrados son compatibles entre sí, es preciso consultar los dos primeros parámetros de los circuitos digitales vistos en la anterior sección:

Los niveles de tensión:

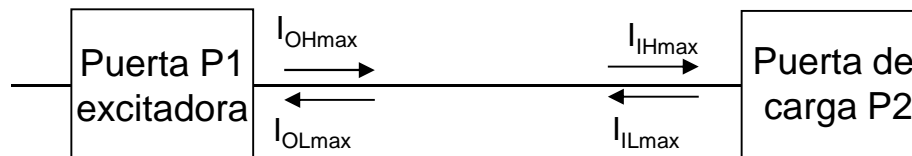
$$V_{OHmin} \geq V_{IHmin} \quad \text{y} \quad V_{OLmax} \leq V_{ILmax}$$

Las corrientes:

$$|I_{OLmax}| \geq \sum |I_{ILmax}| \quad \text{y} \quad |I_{OHmax}| \geq \sum |I_{IHmax}|$$

Ejemplo: Para comprobar si una puerta excitadora P1 se puede conectar a otra puerta de carga P2, se miran los siguientes parámetros:

FAMILIA LÓGICA	$V_{OHmin}$	$V_{OLmax}$	$V_{IHmin}$	$V_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$	$I_{IHmax}$	$I_{ILmax}$
P1	2.5	0.2	3.7	0.1	-0.2 mA	0.4 mA	50 pA	-30 pA
P2	5	0.6	3	0.4	-0.1 mA	1 mA	100 $\mu$ A	-0.3 mA



$I_{OHmax}$  e  $I_{ILmax}$  tienen signo negativo porque son corrientes salientes de la puerta, y  $I_{OLmax}$  e  $I_{IHmax}$  tienen signo positivo porque son corrientes entrantes a la puerta

F1		F2	
$V_{OHmin} = 2.5 \text{ V}$	$\geq$	$V_{IHmin} = 3 \text{ V}$	No se cumple la condición
$V_{OLmax} = 0.2 \text{ V}$	$\leq$	$V_{ILmax} = 0.4 \text{ V}$	No se cumple la condición
$ I_{OHmax}  =  -0.2 \text{ mA} $	$\geq$	$ I_{IHmax}  =  100 \mu\text{A} $	} Puertas incompatibles (hubiera bastado con que no se cumpliera una de las 4 condiciones)
$ I_{OLmax}  =  0.4 \text{ mA} $	$\geq$	$ I_{OLmax}  =  0.3 \text{ mA} $	

Análogamente se podría proceder a comprobar si se puede conectar P2 como excitadora con P1 como carga.

# Conectividad entre diferentes tecnologías

## IC Basics: Comparison of Switching Standards

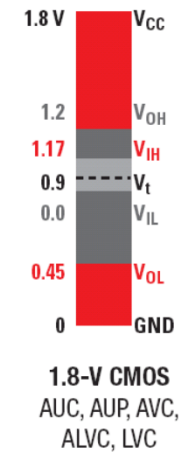
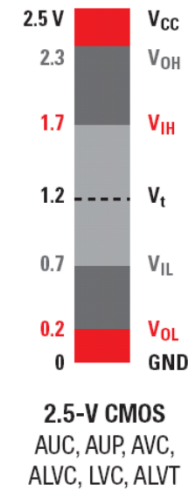
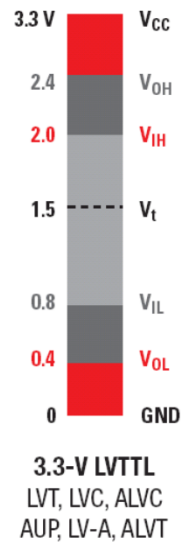
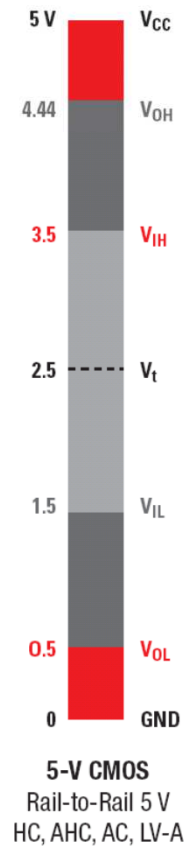
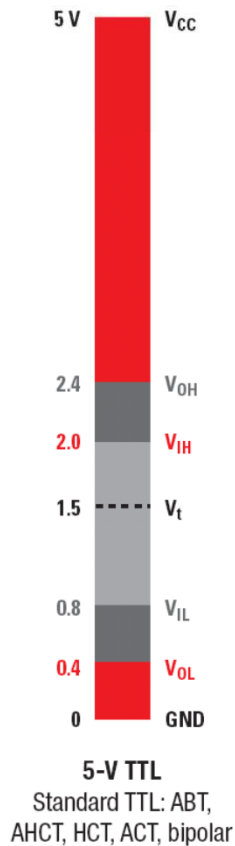


Is  $V_{OH}$  higher than  $V_{IH}$ ?  
Is  $V_{OL}$  less than  $V_{IL}$ ?



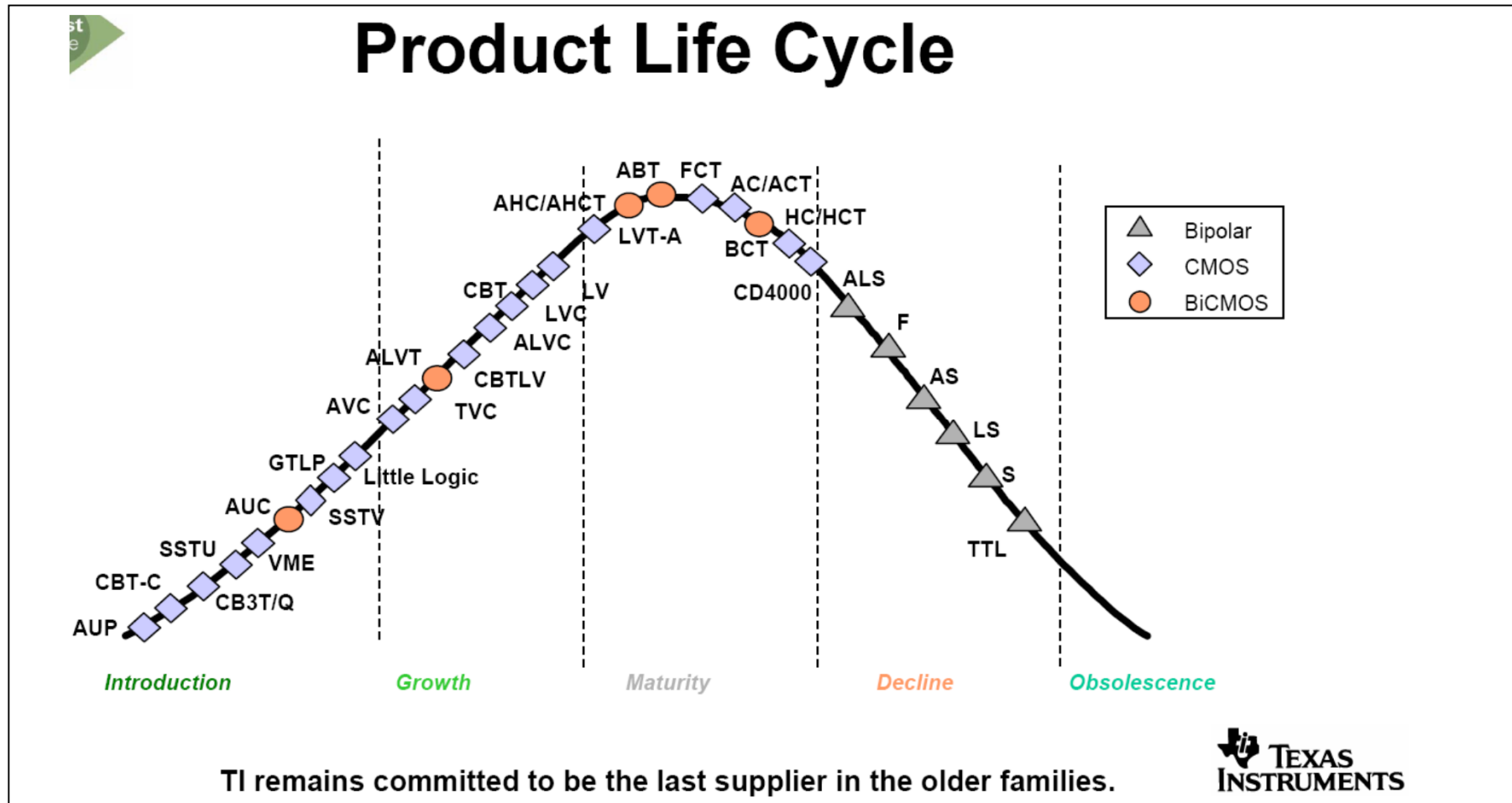
D \ R	5 TTL	5 CMOS	3 LVTTTL	2.5 CMOS	1.8 CMOS
5 TTL	Yes	No	Yes*	Yes*	Yes*
5 CMOS	Yes	Yes	Yes*	Yes*	Yes*
3 LVTTTL	Yes	No	Yes	Yes*	Yes*
2.5 CMOS	Yes	No	Yes	Yes	Yes*
1.8 CMOS	No	No	No	No	Yes*

\* Requires  $V_{IH}$  Tolerance



# La familia TTL y sus subfamilias

El siguiente gráfico muestra la evolución de la tecnología de circuitos integrados desde la familia TTL hasta las más actuales.



TTL significa transistor to transistor logic y utiliza transistores BJT (transistor bipolar) con alimentación del circuito a 5V. Con el tiempo salió la tecnología CMOS, con un producto consumo-tiempo de retardo inferior a la tecnología bipolar. Por eso es la tecnología que se impone.

BiCMOS combina bipolar con CMOS y se emplea también en alguna familia, compitiendo en prestaciones con CMOS

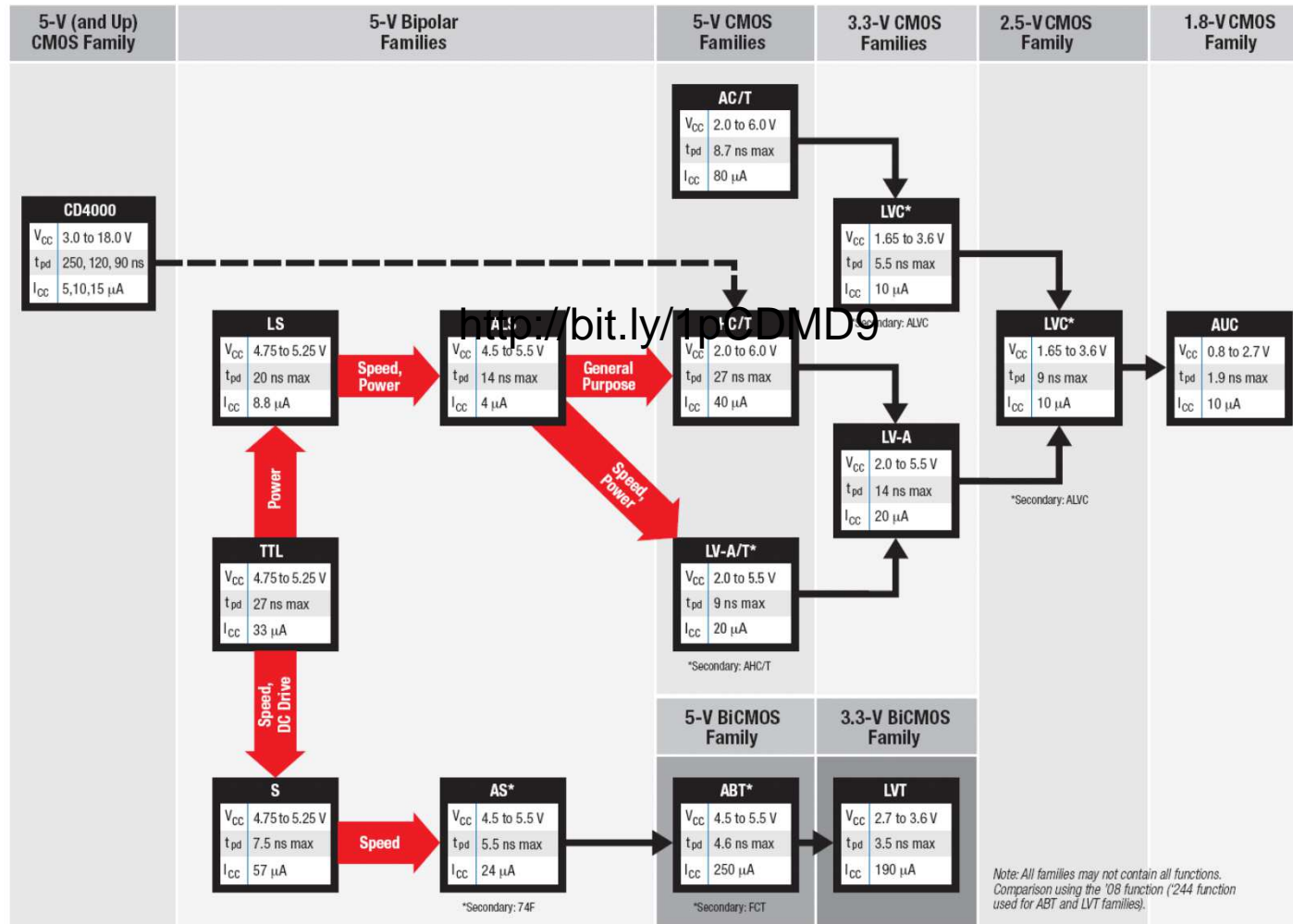
# La familia TTL y sus subfamilias

En el siguiente esquema se muestra como se han ido desarrollando las tecnologías tendiendo al mínimo consumo y retardo y también a trabajar cada vez con una tensión de alimentación más baja (de 5V se ha bajado a 1.8V)

## Logic Migration Overview

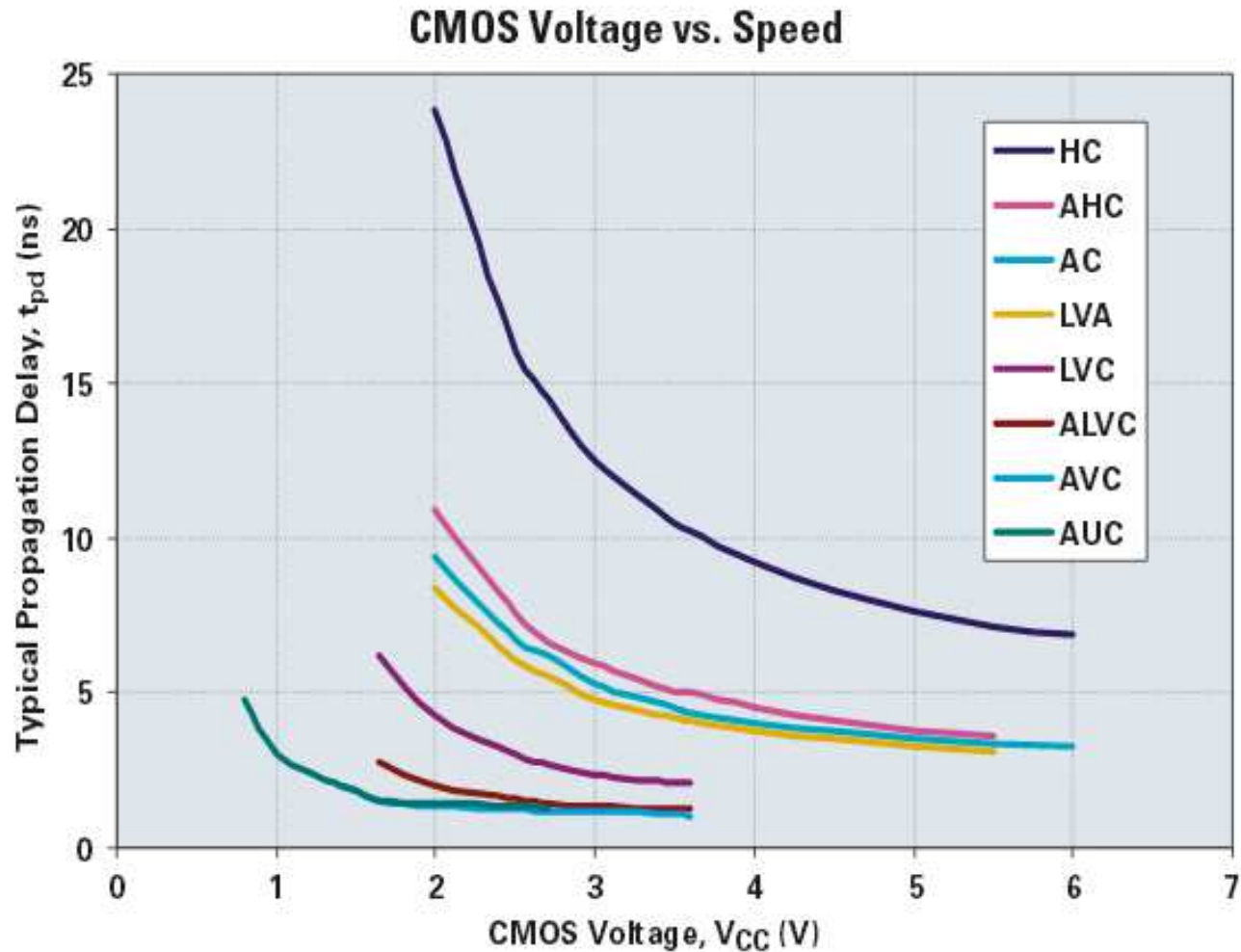
5

### Gates and Octals



## La familia TTL y sus subfamilias

Y a continuación las tecnologías de la diapositiva anterior se grafican en función del voltaje de alimentación y del tiempo de retardo con una carga de 500-Ω/30-pF (<http://bit.ly/1pCDMD9>):



En la tecnología más potente, la AUC, se trabaja con tensiones entre 0.8 V y 2.5 V (menor tensión de alimentación implica menor consumo) y los tiempos de retardo no llegan a los 5ns

# La familia TTL y sus subfamilias

En vista de que analizar la última tecnología resulta complicado, se presentarán (para el circuito integrado de la puerta NAND 74'00), las tres primeras familias que se fabricaron.

Al terminar se presentará una de las recientes para comprobar la mejora que se ha logrado durante los últimos años

Encapsulado y pines del circuito de la puerta NAND 74'00 para las familias TTL, Schottky y Low-Schottky (Texas instruments ofrece una hoja de características única para las tres <http://bit.ly/1w1VDDn>):

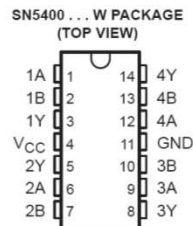
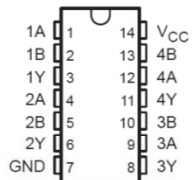
## SN5400, SN54LS00, SN54S00 SN7400, SN74LS00, SN74S00 QUADRUPLE 2-INPUT POSITIVE-NAND GATES

SDLS025B - DECEMBER 1983 - REVISED OCTOBER 2003

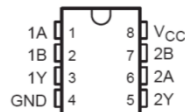
- Package Options Include Plastic Small-Outline (D, NS, PS), Shrink Small-Outline (DB), and Ceramic Flat (W) Packages, Ceramic Chip Carriers (FK), and Standard Plastic (N) and Ceramic (J) DIPs

- Also Available as Dual 2-Input Positive-NAND Gate in Small-Outline (PS) Package

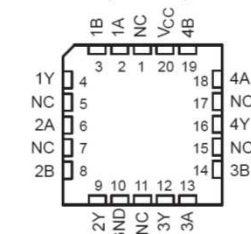
SN5400 . . . J PACKAGE  
SN54LS00, SN54S00 . . . J OR W PACKAGE  
SN7400, SN74S00 . . . D, N, OR NS PACKAGE  
SN74LS00 . . . D, DB, N, OR NS PACKAGE



SN74LS00, SN74S00 . . . PS PACKAGE



SN54LS00, SN54S00 . . . FK PACKAGE



NC - No internal connection

### description/ordering information

These devices contain four independent 2-input NAND gates. The devices perform the Boolean function  $Y = \overline{A \cdot B}$  or  $Y = \overline{A} + \overline{B}$  in positive logic.

description/ordering information (continued)

### ORDERING INFORMATION

T <sub>A</sub>	PACKAGE†	ORDERABLE PART NUMBER	TOP-SIDE MARKING	
0°C to 70°C	PDIP - N	Tube	SN7400N	SN7400N
			SN74LS00N	SN74LS00N
			SN74S00N	SN74S00N
	SOIC - D	Tube	SN7400D	7400
		Tape and reel	SN7400DR	LS00
		Tube	SN74LS00D	
		Tape and reel	SN74LS00DR	
		Tube	SN74S00D	S00
		Tape and reel	SN74S00DR	
	SOP - NS	Tape and reel	SN7400NSR	SN7400
SN74LS00NSR			74LS00	
SN74S00NSR			74S00	
SN74LS00PSR			LS00	
SOP - PS	Tape and reel	SN74S00PSR	S00	
		SN74LS00DBR	LS00	
-55°C to 125°C	CDIP - J	Tube	SNJ5400J	SNJ5400J
			SNJ54LS00J	SNJ54LS00J
			SNJ54S00J	SNJ54S00J
	CFP - W	Tube	SNJ5400W	SNJ5400W
			SNJ54LS00W	SNJ54LS00W
			SNJ54S00W	SNJ54S00W
	LCCC - FK	Tube	SNJ54LS00FK	SNJ54LS00FK
				SNJ54S00FK
				SNJ54S00FK

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at [www.ti.com/sc/package](http://www.ti.com/sc/package).

### FUNCTION TABLE (each gate)

INPUTS		OUTPUT
A	B	Y
H	H	L
L	X	H
X	L	H

logic diagram, each gate (positive logic)

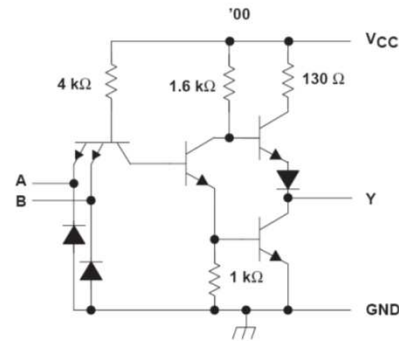


# La familia TTL y sus subfamilias

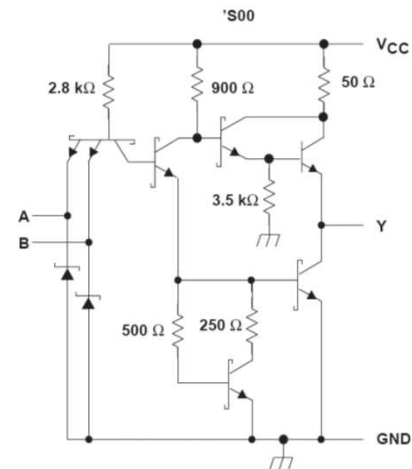
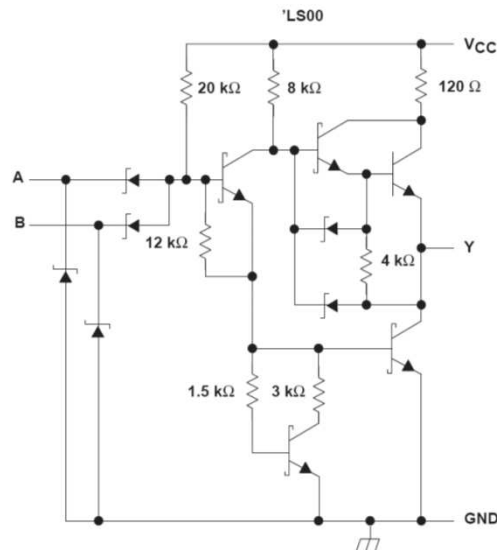
Esquemáticos de los circuitos de las familias TTL, Schottky y Low-Schottky:

SN5400, SN54LS00, SN54S00  
SN7400, SN74LS00, SN74S00  
QUADRUPLE 2-INPUT POSITIVE-NAND GATES  
SDLS025B - DECEMBER 1983 - REVISED OCTOBER 2003

schematic



TTL (usa transistores BJT)

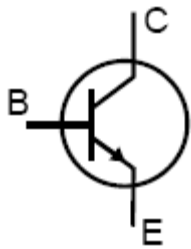


LS (Low Schottky) y S (Schottky) se diferencian entre sí por la corriente con que trabajan. Las resistencias de LS son mayores que las de S. Por eso la corriente es más baja en LS (menor consumo pero mayor retardo en la conmutación de los transistores)

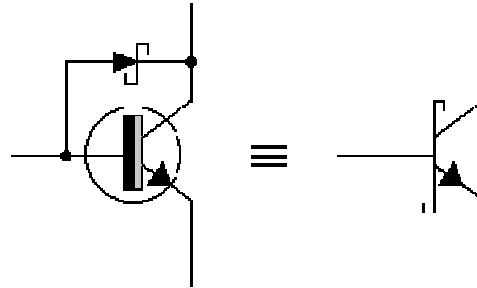
## La familia TTL y sus subfamilias

Diferencia entre el transistor bipolar y el Schottky:

El Schottky es como el BJT tipo NPN, pero que tiene un diodo Schottky que va de la base al colector:



*Transistor BJT*



*Transistor Schottky*

El diodo Schottky deriva corriente de la base al colector antes de que el transistor BJT entre en saturación.

De esta manera, La corriente que entra en el BJT por la base puede seguir dos caminos:

1. De la base del BJT por el diodo Schottky al colector del BJT
2. De la base del BJT al emisor del BJT

Cuando el transistor está conduce (modo ON), por el camino 2 se obtienen unos 0.6 V de base a emisor. Y por el camino 1 también se obtienen 0.6 V, ya que el origen y el destino son los mismos (la base y el emisor)

Sin embargo en un diodo Schottky en conducción caen 0.25 V, con lo que para llegar a los 0.6 V, quedan 0.35 V entre colector y emisor del BJT. De modo que el BJT no alcanzará la saturación porque en saturación el BJT tiene 0.2 V entre colector y emisor.

El no llegar a saturarse, el transistor Schottky conmuta más rápido que el BJT



# La familia TTL y sus subfamilias

## Características de la familia TTL:

recommended operating conditions (see Note 3)

	SN5400			SN7400			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V <sub>CC</sub> Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub> High-level input voltage	2			2			V
V <sub>IL</sub> Low-level input voltage	0.8			0.8			V
I <sub>OH</sub> High-level output current	-0.4			-0.4			mA
I <sub>OL</sub> Low-level output current	16			16			mA
T <sub>A</sub> Operating free-air temperature	-55	125		0	70		°C

NOTE 3: All unused inputs of the device must be held at V<sub>CC</sub> or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS‡	SN5400			SN7400			UNIT
		MIN	TYP§	MAX	MIN	TYP§	MAX	
V <sub>IK</sub>	V <sub>CC</sub> = MIN, I <sub>I</sub> = -12 mA	-1.5			-1.5			V
V <sub>OH</sub>	V <sub>CC</sub> = MIN, V <sub>IL</sub> = 0.8 V, I <sub>OH</sub> = -0.4 mA	2.4	3.4		2.4	3.4	V	
V <sub>OL</sub>	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2 V, I <sub>OL</sub> = 16 mA	0.2 0.4		0.2 0.4			V	
I <sub>I</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 5.5 V	1			1			mA
I <sub>IH</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 2.4 V	40			40			μA
I <sub>IL</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 0.4 V	-1.6			-1.6			mA
I <sub>OS</sub> ††	V <sub>CC</sub> = MAX	-20	-55		-18	-55		mA
I <sub>CCH</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 0 V	4 8		4 8			mA	
I <sub>CCL</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 4.5 V	12	22		12	22		mA

‡ For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

§ All typical values are at V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C.

†† Not more than one output should be shorted at a time.

switching characteristics, V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN5400 SN7400			UNIT
				MIN	TYP	MAX	
t <sub>PLH</sub>	A or B	Y	R <sub>L</sub> = 400 Ω, C <sub>L</sub> = 15 pF	11	22		ns
t <sub>PHL</sub>				7	15		

# La familia TTL y sus subfamilias

## Características de la familia Schottky:

recommended operating conditions (see Note 5)

		SN54S00			SN74S00			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V <sub>CC</sub>	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High-level input voltage	2			2			V
V <sub>IL</sub>	Low-level input voltage	0.8			0.8			V
I <sub>OH</sub>	High-level output current	-1			-1			mA
I <sub>OL</sub>	Low-level output current	20			20			mA
T <sub>A</sub>	Operating free-air temperature	-55			125			°C

NOTE 5: All unused inputs of the device must be held at V<sub>CC</sub> or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54S00			SN74S00			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V <sub>IK</sub>	V <sub>CC</sub> = MIN, I <sub>I</sub> = -18 mA	-1.2			-1.2			V
V <sub>OH</sub>	V <sub>CC</sub> = MIN, V <sub>IL</sub> = 0.8 V, I <sub>OH</sub> = -1 mA	2.5	3.4		2.7	3.4	V	
V <sub>OL</sub>	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2 V, I <sub>OL</sub> = 20 mA	0.5			0.5			V
I <sub>I</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 5.5 V	1			1			mA
I <sub>IH</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 2.7 V	50			50			μA
I <sub>IL</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 0.5 V	-2			-2			mA
I <sub>OS</sub> §	V <sub>CC</sub> = MAX	-40		-100	-40		-100	mA
I <sub>CCH</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 0 V	10	16		10	16	mA	
I <sub>CCL</sub>	V <sub>CC</sub> = MAX, V <sub>I</sub> = 4.5 V	20	36		20	36	mA	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C.

§ Not more than one output should be shorted at a time.

switching characteristics, V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN54S00 SN74S00			UNIT
				MIN	TYP	MAX	
t <sub>PLH</sub>	A or B	Y	R <sub>L</sub> = 280 Ω, C <sub>L</sub> = 15 pF	3	4.5	ns	
t <sub>PHL</sub>				3	5		
t <sub>PLH</sub>	A or B	Y	R <sub>L</sub> = 280 Ω, C <sub>L</sub> = 50 pF	4.5		ns	
t <sub>PHL</sub>				5			

# La familia TTL y sus subfamilias

## Características de la familia Low-Schottky:

recommended operating conditions (see Note 4)

		SN54LS00			SN74LS00			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
$V_{CC}$	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
$V_{IH}$	High-level input voltage	2			2			V
$V_{IL}$	Low-level input voltage	0.7			0.8			V
$I_{OH}$	High-level output current	-0.4			-0.4			mA
$I_{OL}$	Low-level output current	4			8			mA
$T_A$	Operating free-air temperature	-55	125		0	70		°C

NOTE 4: All unused inputs of the device must be held at  $V_{CC}$  or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITION†	SN54LS00			SN74LS00			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
$V_{IK}$	$V_{CC} = \text{MIN}$ , $I_I = -18 \text{ mA}$	-1.5			-1.5			V
$V_{OH}$	$V_{CC} = \text{MIN}$ , $V_{IL} = \text{MAX}$ , $I_{OH} = -0.4 \text{ mA}$	2.5	3.4		2.7	3.4		V
$V_{OL}$	$V_{CC} = \text{MIN}$ , $V_{IH} = 2 \text{ V}$	$I_{OL} = 4 \text{ mA}$			$I_{OL} = 4 \text{ mA}$			V
		$I_{OL} = 8 \text{ mA}$			0.35 0.5			
$I_I$	$V_{CC} = \text{MAX}$ , $V_I = 7 \text{ V}$	0.1			0.1			mA
$I_{IH}$	$V_{CC} = \text{MAX}$ , $V_I = 2.7 \text{ V}$	20			20			$\mu\text{A}$
$I_{IL}$	$V_{CC} = \text{MAX}$ , $V_I = 0.4 \text{ V}$	-0.4			-0.4			mA
$I_{OS}§$	$V_{CC} = \text{MAX}$	-20	-100		-20	-100		mA
$I_{CCH}$	$V_{CC} = \text{MAX}$ , $V_I = 0 \text{ V}$	0.8 1.6			0.8 1.6			mA
$I_{CCL}$	$V_{CC} = \text{MAX}$ , $V_I = 4.5 \text{ V}$	2.4 4.4			2.4 4.4			mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^\circ\text{C}$ .

§ Not more than one output should be shorted at a time.

switching characteristics,  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^\circ\text{C}$  (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN54LS00 SN74LS00			UNIT
				MIN	TYP	MAX	
$t_{PLH}$	A or B	Y	$R_L = 2 \text{ k}\Omega$ , $C_L = 15 \text{ pF}$	9		15	ns
$t_{PHL}$				10		15	

# La familia TTL y sus subfamilias

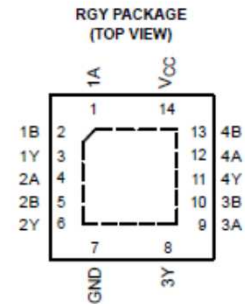
Características de la familia AUC (<http://bit.ly/1B9uGR3>):



**SN74AUC00**  
**QUADRUPLE 2-INPUT POSITIVE-NAND GATE**  
SCESS10A—NOVEMBER 2003—REVISED MARCH 2005

### FEATURES

- Optimized for 1.8-V Operation and Is 3.6-V I/O Tolerant to Support Mixed-Mode Signal Operation
- $I_{off}$  Supports Partial-Power-Down Mode Operation
- Sub-1-V Operable
- Max  $t_{pd}$  of 2 ns at 1.8 V
- Low Power Consumption, 10- $\mu$ A Max  $I_{CC}$
- $\pm$ 8-mA Output Drive at 1.8 V
- Latch-Up Performance Exceeds 100 mA Per JESD 78, Class II
- ESD Protection Exceeds JESD 22
  - 2000-V Human-Body Model (A114-A)
  - 200-V Machine Model (A115-A)
  - 1000-V Charged-Device Model (C101)



### DESCRIPTION/ORDERING INFORMATION

This quadruple 2-input positive-NAND gate is operational at 0.8-V to 2.7-V  $V_{CC}$ , but is designed specifically for 1.65-V to 1.95-V  $V_{CC}$  operation.

The SN74AUC00 devices perform the Boolean function  $Y = \overline{A \cdot B}$  or  $Y = \overline{A} + \overline{B}$  in positive logic.

This device is fully specified for partial-power-down applications using  $I_{off}$ . The  $I_{off}$  circuitry disables the outputs, preventing damaging current backflow through the device when it is powered down.

### ORDERING INFORMATION

$T_A$	PACKAGE <sup>(1)</sup>		ORDERABLE PART NUMBER	TOP-SIDE MARKING
-40°C to 85°C	QFN – RGY	Tape and reel	SN74AUC00RGYR	MS00

(1) Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at [www.ti.com/sc/package](http://www.ti.com/sc/package).

### FUNCTION TABLE (EACH GATE)

INPUTS		OUTPUT
A	B	Y
H	H	L
L	X	H
X	L	H

### LOGIC DIAGRAM, EACH GATE (POSITIVE LOGIC)



# La familia TTL y sus subfamilias

## Características de la familia AUC (<http://bit.ly/1B9uGR3>):

### Absolute Maximum Ratings<sup>(1)</sup>

over operating free-air temperature range (unless otherwise noted)

		MIN	MAX	UNIT
$V_{CC}$	Supply voltage range	-0.5	3.6	V
$V_I$	Input voltage range <sup>(2)</sup>	-0.5	3.6	V
$V_O$	Voltage range applied to any output in the high-impedance or power-off state <sup>(2)</sup>	-0.5	3.6	V
$V_O$	Output voltage range <sup>(2)</sup>	-0.5	$V_{CC} + 0.5$	V
$I_{IK}$	Input clamp current	$V_I < 0$	-50	mA
$I_{OK}$	Output clamp current	$V_O < 0$	-50	mA
$I_O$	Continuous output current		±20	mA
	Continuous current through $V_{CC}$ or GND		±100	mA
$\theta_{JA}$	Package thermal impedance <sup>(3)</sup>		47	°C/W
$T_{stg}$	Storage temperature range	-65	150	°C

- (1) Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.  
 (2) The input negative-voltage and output voltage ratings may be exceeded if the input and output current ratings are observed.  
 (3) The package thermal impedance is calculated in accordance with JEDEC 51-5.

### Recommended Operating Conditions<sup>(1)</sup>

		MIN	MAX	UNIT
$V_{CC}$	Supply voltage	0.8	2.7	V
$V_{IH}$	High-level input voltage	$V_{CC} = 0.8$ V	$V_{CC}$	V
		$V_{CC} = 1.1$ V to 1.95 V	$0.65 \times V_{CC}$	
		$V_{CC} = 2.3$ V to 2.7 V	1.7	
$V_{IL}$	Low-level input voltage	$V_{CC} = 0.8$ V	0	V
		$V_{CC} = 1.1$ V to 1.95 V	$0.35 \times V_{CC}$	
		$V_{CC} = 2.3$ V to 2.7 V	0.7	
$V_I$	Input voltage	0	3.6	V
$V_O$	Output voltage	0	$V_{CC}$	V
$I_{OH}$	High-level output current	$V_{CC} = 0.8$ V	-0.7	mA
		$V_{CC} = 1.1$ V	-3	
		$V_{CC} = 1.4$ V	-5	
		$V_{CC} = 1.65$ V	-8	
		$V_{CC} = 2.3$ V	-9	
$I_{OL}$	Low-level output current	$V_{CC} = 0.8$ V	0.7	mA
		$V_{CC} = 1.1$ V	3	
		$V_{CC} = 1.4$ V	5	
		$V_{CC} = 1.65$ V	8	
		$V_{CC} = 2.3$ V	9	
$\Delta t/\Delta v$	Input transition rise or fall rate	$V_{CC} = 0.8$ V to 1.65 V <sup>(2)</sup>	20	ns/V
		$V_{CC} = 1.65$ V to 2.3 V <sup>(3)</sup>	20	
		$V_{CC} = 2.3$ V to 2.7 V <sup>(3)</sup>	20	
$T_A$	Operating free-air temperature	-40	85	°C

- (1) All unused inputs of the device must be held at  $V_{CC}$  or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.  
 (2) The data was taken at  $C_L = 15$  pF,  $R_L = 2$  k $\Omega$  (see Figure 1).  
 (3) The data was taken at  $C_L = 30$  pF,  $R_L = 500$   $\Omega$  (see Figure 1).

### Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	$V_{CC}$	MIN	TYP <sup>(1)</sup>	MAX	UNIT
$V_{OH}$	$I_{OH} = -100$ $\mu$ A	0.8 V to 2.7 V	$V_{CC} - 0.1$			V
	$I_{OH} = -0.7$ mA	0.8 V		0.55		
	$I_{OH} = -3$ mA	1.1 V		0.8		
	$I_{OH} = -5$ mA	1.4 V		1		
	$I_{OH} = -8$ mA	1.65 V		1.2		
	$I_{OH} = -9$ mA	2.3 V		1.8		
$V_{OL}$	$I_{OL} = 100$ $\mu$ A	0.8 V to 2.7 V			0.2	V
	$I_{OL} = 0.7$ mA	0.8 V		0.25		
	$I_{OL} = 3$ mA	1.1 V			0.3	
	$I_{OL} = 5$ mA	1.4 V			0.4	
	$I_{OL} = 8$ mA	1.65 V			0.45	
	$I_{OL} = 9$ mA	2.3 V			0.6	
$I_I$	A or B inputs	$V_I = V_{CC}$ or GND	0 to 2.7 V		±5	$\mu$ A
$I_{OE}$		$V_I$ or $V_O = 2.7$ V	0		±10	$\mu$ A
$I_{CC}$		$V_I = V_{CC}$ or GND, $I_O = 0$	0.8 V to 2.7 V		10	$\mu$ A
$C_I$		$V_I = V_{CC}$ or GND	2.5 V		2	pF

(1) All typical values are at  $T_A = 25^\circ\text{C}$ .

### Switching Characteristics

over recommended operating free-air temperature range,  $C_L = 15$  pF (unless otherwise noted) (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$V_{CC} = 0.8$ V		$V_{CC} = 1.2$ V $\pm 0.1$ V		$V_{CC} = 1.5$ V $\pm 0.1$ V		$V_{CC} = 1.8$ V $\pm 0.15$ V			$V_{CC} = 2.5$ V $\pm 0.2$ V			UNIT
			TYP	MIN	MAX	MIN	MAX	MIN	TYP	MAX	MIN	MAX			
$t_{pd}$	A or B	Y	4.7	0.6	3.6	0.5	2.6	0.4	0.9	2	0.4	1.1	ns		

### Switching Characteristics

over recommended operating free-air temperature range,  $C_L = 30$  pF (unless otherwise noted) (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$V_{CC} = 1.8$ V $\pm 0.15$ V			$V_{CC} = 2.5$ V $\pm 0.2$ V		UNIT
			MIN	TYP	MAX	MIN	MAX	
$t_{pd}$	A or B	Y	0.6	1.5	2.4	0.5	2	ns

### Operating Characteristics

$T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	$V_{CC} = 0.8$ V	$V_{CC} = 1.2$ V	$V_{CC} = 1.5$ V	$V_{CC} = 1.8$ V	$V_{CC} = 2.5$ V	UNIT	
$C_{pd}$	Power dissipation capacitance	f = 10 MHz	13	13	13	13	16	pF